

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-145217

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H03K 19/0175

(21)Application number : 09-154021

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 11.06.1997

(72)Inventor : GABARA THADDEUS JOHN

(30)Priority

Priority number : 96 672494

Priority date : 26.06.1996

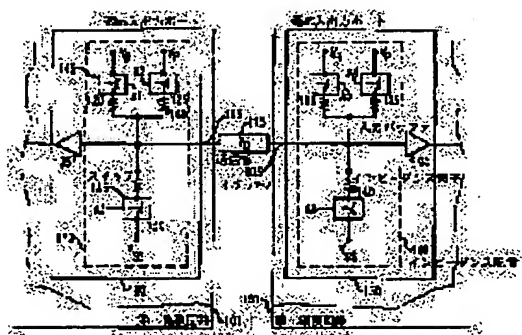
Priority country : US

(54) INTEGRATED CIRCUIT CHIP AND ELECTRIC SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the necessity for the resistance of a discrete element by disposing a controllable impedance arrangement within the input/output port of an integrated circuit by on chip.

SOLUTION: A controllable impedance arrangement 110 which is to be connected to an interface connected to an input/output buffer 105, and a communication line 115 is included in adaptive input/output ports 100 and 150. In this case, an interface 103 generally directs a conductive element, enabling the connection between the impedance arrangement 110 and the communication line 115. This controllable impedance arrangement 110 has three switchable impedance elements 120, 125 and 130 connected to respective corresponding sources VR, VP and VSS. Then, this controllable impedance arrangement 110 realizes the specified mutually different impedance to signals transmitted in their corresponding signal levels, and when receiving a data signal, it realizes a terminal impedance.



LEGAL STATUS

[Date of request for examination] 05.04.1999

[Date of sending the examiner's decision of rejection] 07.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision] 2001-15716

of rejection]

[Date of requesting appeal against examiner's decision of rejection] 05.09.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145217

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁸

H 0 3 K 19/0175

識別記号

F I

H 0 3 K 19/00

1 0 1 Q

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平9-154021

(22) 出願日 平成9年(1997) 6月11日

(31) 優先権主張番号 6 7 2 4 9 4

(32) 優先日 1996年 6月26日

(33) 優先権主張国 米国 (U S)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者 タッデウス ジョン ガバラ

アメリカ合衆国, 07974 ニュージャージ
ー、マーレイ ヒル、パーリントン ロ
ード 62

(74) 代理人 弁理士 三俣 弘文

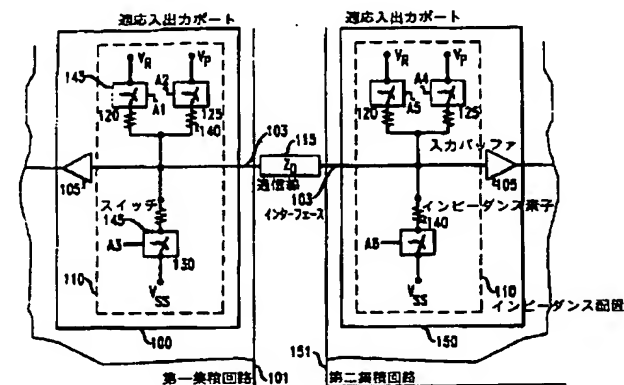
最終頁に続く

(54) 【発明の名称】 集積回路チップ及び電気的システム

(57) 【要約】

【課題】 プリント回路基板 (P C B) 上のディスクリ
ート素子による抵抗の必要性を低減する、コンパクトな
双方向集積回路通信配置を実現する。

【解決手段】 制御可能なインピーダンス配置が集積回
路の適応可能入出力ポートにおいて用いられ、通信信号
を送信するか受信するかに従って当該ポートがそのイン
ピーダンスを適応させることを可能にする。制御可能イン
ピーダンス配置は、対応する信号レベルにおける信号
の送出に対する相異なった特定のインピーダンス、ある
いはデータ信号を受信する際には終端インピーダンス、
を実現する。このインピーダンス配置により、入出力ポ
ート及び対応する集積回路が、従来技術に係る集積回路
と比較してよりコンパクトな大きさを有することが可能
になる。



【特許請求の範囲】

【請求項1】 少なくとも一つの適応入出力ポート（100，150）を有する集積回路チップ（101，151）において、前記適応入出力ポートが、入力バッファ（105）；及び、前記バッファ及び少なくとも二つの電源に接続された制御可能インピーダンス配置（110）；ここで、前記インピーダンス配置は通信線（115）を介してデータ信号を送受信する目的で前記通信線へ接続されている；を有しており、

前記制御可能インピーダンス配置が、前記電源のうちの少なくとも一つと前記通信線との間に対応する特定のインピーダンスを実現することによって特定の論理状態でデータ信号を送出し、かつ、前記通信線を介してデータ信号を受信する際に前記電源のうちの少なくとも一つと前記通信線との間の終端インピーダンスに対応する別の特定のインピーダンスを実現することを特徴とする集積回路チップ。

【請求項2】 前記制御可能インピーダンス配置が、前記通信線との接続を実現するインターフェース（103）と、前記各々の電源と前記インターフェースとの間に接続された少なくとも一つのスイッチ可能インピーダンス素子（140）とを有することを特徴とする請求項第1項に記載の集積回路チップ。

【請求項3】 前記集積回路チップが、さらに第三の電源を有しており、前記それぞれの電源との間の前記スイッチ可能インピーダンス素子（140）が、送信時に前記インターフェースにおいてそれぞれ高信号レベル及び低信号レベルを、通信信号の受信時に終端インピーダンスを、それぞれ実現するようにスイッチングされることが可能であることを特徴とする請求項第2項に記載の集積回路チップ。

【請求項4】 前記集積回路チップにおいて、少なくとも二つの前記スイッチ可能インピーダンス素子（140）が少なくとも一つの前記電源と前記インターフェースとの間に接続されており、前記インピーダンス素子のうちの少なくとも一つが終端抵抗を実現するようにスイッチングされ得ること及び他のインピーダンス素子のスイッチングと関連して前記インターフェースに特定のレベルの信号を供給するようにスイッチングされ得ることを特徴とする請求項第2項に記載の集積回路チップ。

【請求項5】 前記集積回路チップにおいて、少なくとも二つの前記スイッチ可能インピーダンス素子（140）が少なくとも一つの前記電源と前記インターフェースとの間に接続されており、前記インピーダンス素子のうちの少なくとも一つが他のインピーダンス素子のスイッチングと関連して終端抵抗を実現するようにスイッチングされ得ること及び前記インターフェースに特定のレベルの信号を供給するように

スイッチングされ得ることを特徴とする請求項第2項に記載の集積回路チップ。

【請求項6】 前記スイッチ可能インピーダンス素子が、イネーブルされた場合に特定の電源と前記インターフェースとの間に特定のインピーダンスを実現するトランジスタであることを特徴とする請求項第2項に記載の集積回路チップ。

【請求項7】 前記スイッチ可能インピーダンス素子が、スイッチに接続されたインピーダンス素子であることを特徴とする請求項第2項に記載の集積回路チップ。

【請求項8】 前記集積回路チップが、少なくともガニングトランシーバロジック標準及びハイスピードトランシーバロジック標準からなる群より選択される標準に従った通信信号を送受信することを特徴とする請求項第1項に記載の集積回路チップ。

【請求項9】 前記通信線との接続を実現する前記インピーダンス配置が伝送線配置を有しており、前記制御可能インピーダンス配置の前記特定のインピーダンスが前記通信線の特性インピーダンスに基づいていることを特徴とする請求項第1項に記載の集積回路チップ。

【請求項10】 基板；前記基板上に配置された少なくとも一つの請求項第1項に記載の集積回路チップ（101，151）；及び、前記チップのうちの少なくとも一つの入出力ポート（100，150）に接続された、前記基板上に配置された少なくとも一つの相互接続配線（115）；を有することを特徴とする電氣的システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路に関し、特に、集積回路チップの入出力部に關する。

【0002】

【従来の技術】より速いスピードでのチップ間通信をより低い消費電力で実現する機能を有する集積回路チップは、チップ及びシステム製作者にとって常に目標であり続けている。現在では、集積回路におけるトランジスタは、集積回路チップ間でのデータを伝達する通常の導線による配線の能力を越える高速データ伝送に必要とされるスイッチング性能を実現することが可能である。より詳細に述べれば、ゲート長1 μ m以下の金属氧化物半導体トランジスタ（MOSFET）は、毎秒1Gビットのオーダーで転送されるデータを生成することが可能であるが、これは、デュアルインラインパッケージ（DIP）、ボンディング配線、及びプリント回路基板（PCB）に形成された従来の金属配線等の従来技術に係る相互接続配線の能力を越えている。この種の相互接続配線上で実現可能なデータレートを制限するものには、接地電位の変動や信号の反射が含まれる。

【0003】接地電位の変動は、通常、チップの出力ドライバの多くのものが同時にスイッチングする際に発生

する。この同時スイッチングにより、チップ内の接地線及び電力分配システムに過渡的電流が流れ、そのためにチップ内のスイッチングデバイスが誤ってスイッチングしたり、システムエラーやデータ消失が起こり得る。誘導雑音に関するより詳細な議論は、T. J. Gabara, "Ground Bounce Control in CMOS Integrated Circuits", Digest of Technical Papers-IEEE International Solid-State Circuits Conference, pp. 88-89(1988)に見い出される。この論文は本発明の参考文献である。

【0004】従来技術に係るシステムにおいては、接地電位の変動は、通常、送出される信号の立ち上がり及び立ち下がりレートを最大でも1ナノ秒/Vから2ナノ秒/Vに制限することによって無視しうるレベルに保たれている。その結果、データ信号の論理状態の遷移を表わす5Vという比較的大きな電圧振幅に対しては、5ナノ秒から10ナノ秒という非常に長い時間が必要になってしまう。この遷移時間は、対応するデータレートを、最大でも毎秒約25Mビットから毎秒50Mビットに制限する。さらに、このような比較的大きな電圧振幅は、通常数百ミリワットのオーダーという望ましくないほど大きな電力を消費してしまう。高速トランシーバロジック(HSTL)やガニングトランシーバロジック(GTL)等の通信標準に従ったシステム等の複数の既存のシステムは、電圧振幅を1V未満に抑制することによって、電力消費並びにスイッチング時間を低減している。その結果、達成可能なデータレートは、対応するファクター5以上に増大する。

【0005】さらに、毎秒100Mビット程度の低いデータレートにおいては、相互接続配線の不連続性によって送信されたデータ信号の一部が送出側集積回路へ反射して戻ってしまうという問題がある。このような信号の反射は、しばしば、送出された信号を歪ませるように結合し、宛て先集積回路によって受信される信号を劣化させる。このような不連続性を低減するために、システムの相互接続配線としてトランスミッションライン(伝送線)構造が用いられてきている。これらのシステムにおいては、ディスクリート素子による終端抵抗が、伝送線の受信側集積回路の入力バッファに近接した位置にしばしば接続されている。終端抵抗は、不連続性並びに入力バッファと伝送線とのインターフェースによって引き起こされる対応する信号の反射を実質的に低減する目的で、伝送線の特性インピーダンスと整合するインピーダンスを有している。相互接続配線に伝送線構造を用いる手法は、H. B. Bakoglu, Circuits, Interconnections, and Packaging for VLSI, Ch. 6, pp. 226-273(Addison-Wesley Publishing Co. 1990)により詳細に記述されている。

【0006】

【発明が解決しようとする課題】しかしながら、個々の伝送線を介して双方向通信を実現する従来技術に係る集

積回路及びシステム配置は、単一方向伝送線配置の2倍の電力を消費するという欠点を有している。この消費電力の増大は、集積回路の対応する入出力ポートによる伝送線の双方の終端部に終端抵抗を使用することに起因する。この種の抵抗は、ポートがデータ信号を受信する際には信号の反射を低減するが、そのポートがデータ信号を送出する際には付加的なDC電流を引き出してしまい、その結果消費電力が増大する。単一方向相互接続配線配置は、消費電力は少ないものの、双方向相互接続配線配置と比較して、通信ポートの数が2倍、すなわちそれぞれ個別の入力ポート及び出力ポート、必要となり、さらに、通信するチップ間の相互接続配線の数が2倍必要になる。さらに、単一方向及び双方向配置の双方において用いられるディスクリート素子による終端抵抗は、対応するシステムのPCBの大きさ並びに複雑さを増大させる。

【0007】よって、PCB上のディスクリート素子による抵抗の必要性を低減する、コンパクトな双方向集積回路通信配置が必要とされている。

20 【0008】

【課題を解決するための手段】本発明は、コンパクト、かつ、比較的低消費電力であることあるいは電源の数が低減されること等の望ましい特徴が、制御可能なインピーダンス配置をオンチップで集積回路の入出力ポート内に配置することによって実現可能であるという発見に基づいている。この制御可能なインピーダンス配置により、通信信号を送信中であるかあるいは受信中であるかに従って、ポートがそのインピーダンスを適応させることが可能になる。制御可能なインピーダンス配置は、対応するそれぞれの信号レベルにおいて送出される信号に対して相異なった特定のインピーダンスを実現し、また、データ信号を受信する際には終端インピーダンスを実現する。このインピーダンス配置をチップの入出力ポートに用いることにより、外部のディスクリート素子による終端抵抗を用いる必要性を大幅に低減して通常は無くし、よって対応するPCBをコンパクトにして複雑さの低減を容易にする。

30 【0009】より詳細に述べれば、本発明に係る制御可能なインピーダンス配置は、例えばスイッチ可能なインピーダンス素子の配置、という形態を取るものであるが、接続されている通信線、入力バッファ及び入出力ポート内の少なくとも2つの電源に対してそれぞれ対応するインピーダンス値を示す。本明細書においては、"入力バッファ"という用語は、一般的には、集積回路に対する入力信号を検出するデバイス、回路あるいは配置を、これらのデバイス、回路あるいは配置がその信号の信号レベルをさらなる処理あるいは操作目的で保持するか否かに拘らず、指し示している。ポートが入力ポートとして動作している場合には、本発明に係るインピーダンス配置は、通信線に対して終端インピーダンスを与え

る。逆に、データ信号を送信する場合には、本発明に係るインピーダンス配置は、通信線と電源との間に相異なったインピーダンスを与えるか、あるいは、通信線に希望する信号レベルを生成する目的で通信線を電源から切り離す。

【0010】本発明は、例えば相補型金属酸化物半導体(CMOS)、エミッタ結合ロジック(ECL)、トランジスタートランジスタロジック(TTL)、ガニングトランシーバロジック(GTL)、定電圧差動振幅(LVDS)、擬似エミッタ結合ロジック(PECL)及び高速トランシーバロジック(HSTL)等の既存の標準を含む高速通信標準に従ったチップ間通信に関しても有効である。

【0011】本発明に係るその他の特徴及び利点は、以下の実施例の説明並びに添付図面からより明らかとなる。

【0012】

【発明の実施の形態】本発明は、集積回路の入出力ポートにおいて制御可能なインピーダンス配置を用いることによって、当該ポートが通信信号を送出しているかあるいは受信しているかに基づいてそのインピーダンスを有効に適応させることを可能にすることに基づいている。より詳細に述べれば、オンチップ制御可能インピーダンス配置により、それぞれの信号レベルにおける信号の送出に対応する相異なった特性インピーダンス、あるいはデータ信号を受信する場合の終端インピーダンスが実現される。

【0013】入出力ポートでは、本発明に係るインピーダンス配置は、入力バッファ、通信線及び集積回路の少なくとも2つの電源に対して接続されている。このようにして、本発明に係る制御可能インピーダンス配置は、入力バッファでデータ信号を受信する場合には、入出力ポートと通信線との接続部における反射を最小化する目的で、終端インピーダンスを実現する。本明細書においては、“入力バッファ”という術語は、一般的には、集積回路に対する入力信号を検出するデバイス、回路あるいは配置を、これらのデバイス、回路あるいは配置がその信号の信号レベルをさらなる処理あるいは操作目的で保持するか否かに拘らず、指し示している。

【0014】本発明に係る制御可能インピーダンス配置は、通信線と2つの電源との間の対応する電力分割配置を実現しており、特定の信号レベルの対応するデータ信号を生成して通信線上に送出する。当該インピーダンス配置は、例えば電力消費を低減もしくは電源の数を低減する等の利点を実現する目的においてインプリメントされる場合もある。このために、比較的コンパクトな大きさで、かつより簡潔なプリント回路基板(PCB)あるいはマルチチップモジュール(MCM)等のシステム基板を用いた配置が実現され得る。

【0015】本発明に従って集積回路の入出力ポートに

において制御可能インピーダンス配置を実現するために、種々の集積回路チップ配置が用いられ得る。本発明に従って相異なった制御可能インピーダンス配置を用いた適応入出力ポートの実施例が図3、4及び5に示してある。しかしながら、これらの明示した回路配置は単に例示目的であって本発明の適用範囲を限定するものではないことに留意されたい。

【0016】図3に示した本発明の一実施例に従って達成することが可能な電力消費の低減を理解する目的で、高速トランシーバロジック(HSTL)に従った従来技術に係る単一方向及び双方向入出力ポートにおける電力消費が、それぞれ図1及び図2に関連して記述される。HSTL標準は、“高速トランシーバロジック(HSTL)—デジタル集積回路向けインターフェース標準に基づく1.5V出力バッファ電源電圧”、Electronic Industries Association、EIA/JEDEC標準8-6(1995年8月)により詳細に記述されている。当該文献は本発明の参照文献である。図1は、従来技術に係る単一方向通信配置を示している。図1においては、第一集積回路1が第二集積回路10宛に第一相互接続配線2を介して通信信号を送出する。同様に、第二集積回路10は第二相互接続配線12を介して通信信号を第一集積回路1宛に送出する。

【0017】相互接続配線2は、第一集積回路1の出力ドライバ4を第二集積回路10の入力バッファ15に接続し、相互接続配線12は、第二集積回路10の出力ドライバ14を第一集積回路1の入力バッファ5に接続している。さらに、相互接続配線2及び12は、それぞれ対応する特性インピーダンス Z_0 を有する従来技術に係る伝送線構造を有している。対応するそれぞれの入力バッファ5及び15及び出力ドライバ4及び14は、2つの相互接続配線2及び12を介した集積回路1及び10の間の双方向通信を可能にする。

【0018】対応する伝送線2及び12の特性インピーダンス Z_0 と整合するインピーダンスを有する終端抵抗6及び16が、それぞれ入力バッファ5及び15の近傍で、0.75V電源に対して接続されている。終端抵抗6及び16は、入力バッファ5及び15と伝送線2及び12との間の接続における不連続性によって引き起こされる信号の不要な反射を実質的に低減する。出力ドライバ4及び14の各々には、それぞれ伝送線2及び12に対して接続された2つの抵抗7及び8と対応するスイッチ17及び18が含まれている。スイッチ17及び18は、さらに、それぞれ1.5V電源及び接地電位に接続されている。抵抗7及び8の各々は、伝送線2及び12の特性インピーダンスに一致するインピーダンス Z_0 を有している。

【0019】実際の動作においては、スイッチ17及び18は、制御信号DATA及びその反転信号DATAバーに基づいて交互に閉じ、論理信号1あるいは0を表わ

すおよそ1.125Vあるいは0.375Vの信号を対応する伝送線2及び12上に生成する。論理1あるいは0を表す信号の各々を送信するために消費される電力は、 $P = V^2 / R = (.75V)^2 / (2Z_0)$ Wであって、伝送線2及び12の特性インピーダンス Z_0 が50Ωである場合には伝送線当たり5.6mWとなる。

【0020】集積回路1及び10の第一及び第二入出力ポート間の従来技術に係るHSTL双方向相互接続配線方式が図2に示してある。この方式においては、図1の伝送線2及び12の代わりによりコンパクトな単一の伝送線2'が用いられているが、図1に示した配置の場合の2倍の電力、すなわち伝送線2'が50Ωの特性インピーダンスを有している場合には11.2mW、を消費する。図1及び図2における対応する同様の素子、例えば集積回路1及び10、抵抗7及び8、及びスイッチ17及び18等には、例示を容易にするために同一の参照番号が付されている。図2においては、第一及び第二集積回路1及び10の入出力ポート20及び22は、伝送線2'に接続されている。

【0021】入出力ポート20及び22は、図1に示した入力バッファ5及び15と出力ドライバ4及び14の組み合わせに対応しており、それぞれ共通の伝送線に接続されている。しかしながら、抵抗7及び8は、 $Z_0/2$ に対応するインピーダンス、すなわち図1に示した単一方向配置における対応する抵抗の半分のインピーダンスを有している。さらに、伝送線2'の特性インピーダンスに整合するインピーダンス Z_0 を有する終端抵抗6及び16が、信号を受信する際の検出を容易にするために、ポート20及び22の近傍において伝送線2'と0.75V電源との間に接続されている。

【0022】実際の動作においては、スイッチ17及び18は、データ信号を送信する際には交互に閉じ、データ信号を受信する際には共に開である。集積回路チップ1及び10におけるそれぞれのスイッチ17及び18の動作は、制御信号A、B、C及びDによって制御されている。図1の単一方向配置において信号を送出する際と同一の1.125V及び0.375Vという論理1及び論理0信号のレベルを維持するために、入出力ポート20及び22における抵抗7及び8のインピーダンス値は、単一方向配置の場合の値の半分に設定されている。なぜなら、ポート20あるいは22のいずれかがデータを送出している際に終端抵抗6及び16に付加的なDC電流が流れるからである。その結果、このような双方向配置における消費電力は、 $P = V^2 / R = (.75V)^2 / Z_0$ W、すなわち伝送線2'の特性インピーダンス Z_0 が50Ωの場合には11.2mWとなる。この消費電力は、図1の単一方向配置の場合の2倍である。

【0023】これに対して、本発明の一実施例に従う集積回路チップの適応入出力配置においては、単一相互接続配線を介した双方向通信を、例えば図2に示した従来

技術に係る双方向配置と比較してより低い電力消費で実現することが可能である。さらに、このような適応入出力ポートを、例えば図1に示した従来技術に係る単一方向配置の場合の消費電力とほぼ等しいオーダーの消費電力で実現することも可能である。本発明のそのような実施例に係る第一及び第二集積回路101及び151の適応入出力ポート100及び150が図3に示してある。

【0024】図3に示した、単一の通信線115を介した通信を実現するために適応入出力ポート100及び150を用いることは、単に例示目的であって本発明の適用範囲を制限するものではない。本発明に従う集積回路チップが、通常より多くの数の入出力ポートを有していることは容易に理解される。さらに、本発明に係る入出力ポートが、例えば図2に示してあるような従来技術に係る入出力ポート等との間で通信信号を送受信することも可能である。集積回路101及び151が、例えばプリント回路基板やマルチチップモジュール等、通信線115の構造を維持する基板上に配置されることも可能である。

【0025】適応入出力ポート100及び150には、入力バッファ105、及び通信線115に接続されたインターフェース103に接続されている、破線110によって囲まれた範囲内の制御可能インピーダンス配置が含まれている。本明細書においては、インターフェース103は、インピーダンス配置110と通信線115との接続を可能にする導電性素子を一般的に指し示している。インターフェース103は、金属配線であり、接続された素子110と通信線115との間に電気的なインピーダンスを実現するものであることが可能である。通信線115は、特性インピーダンス Z_0 を有する伝送線構造を取るものであってもよい。本明細書においては、伝送線という用語は、実質的に信号速度の信号周波数に対する比に依存せずに、信号をある点から別の点へ伝達するあらゆる配線を指し示している。入力バッファ105の配置例には、従来技術に係る集積回路に通常用いられるような配置が含まれる。この種の入力バッファは、B.Gunning et al., "A CMOS Low-Voltage-Swing Transmission-Line Transceiver", Digest of Technical Papers-IEEE International Solid-State Circuits Conference, pp.58-59(1992)により詳細に記述されている。当該論文は、本発明の参照論文である。

【0026】制御可能インピーダンス配置110は、各々、それぞれ対応する電源 V_R 、 V_P 及び V_{SS} に接続された3つのスイッチ可能インピーダンス素子120、125及び130を有している。スイッチ可能インピーダンス素子120、125、及び130は、各々、対応するインピーダンス値を対応する電源とインターフェース103との間に実現することができるようスイッチすることが可能である。スイッチ可能インピーダンス素子120、125、及び130は、さらに、各々対応電源と

インターフェース103との間を開回路にすることができるようスイッチすることが可能である。

【0027】よって、各々のスイッチ可能インピーダンス素子120、125及び130は、スイッチ145に接続されたインピーダンス素子140によって模式的に表現することが可能である。図3に示した実施例においては、ポート100に対する制御信号A1、A2及びA3とポート150に対する制御信号A4、A5及びA6とに基づいてそれぞれの素子間でインピーダンス Z_0 を実現するように活性化され得る。従って、例えば抵抗、抵抗とインダクタとの組み合わせ、及び／あるいは抵抗とキャパシタの組み合わせ等のオンチップインピーダンス素子がインピーダンス素子140として、及び、従来技術に係る集積回路トランジスタスイッチ等のスイッチがスイッチ145として、それぞれ用いられることが可能である。

【0028】スイッチ可能インピーダンス素子120、125及び130に用いられ得るその他の集積回路配置には、例えば、スイッチング機能を実行可能であってかつ所定のインピーダンス値を実現することも可能な受動素子配置及び能動インピーダンス素子が含まれる。本発明の出願人の所有する米国特許第5,194,765号、第5,243,229号及び5,298,800号に記載された能動抵抗デバイス等がその例である。当該米国特許は本発明の参考文献である。この種の能動インピーダンス素子は、所定のスイッチ可能インピーダンス値を実現するために、個別に用いられることも、並列に用いられることも、カスケード接続あるいは直列接続されることも可能である。図3に示した配置に従ったHSTL通信に関しては、インピーダンス素子140は、各々、通信線115の特性インピーダンス Z_0 に対応するインピーダンス Z_0 を有している。

【0029】電源 V_P 及び V_{SS} によって供給される電圧は、通信線115上の所定の第一及び第二信号レベルとチップ101及び151のインピーダンス素子120、125及び130に対して用いられるインピーダンス値に基づいて選択される。第二電源 V_{SS} がそれぞれのチップ101及び151のチップ内接地電位であることも可能である。さらに、電源 V_R によって供給される電圧は、終端インピーダンスに所定のバイアスを供給するのに十分なものでなければならない。従って、第一及び第二信号レベルのそれぞれに対して入力バッファ105のノイズフロア及びシーリングを避ける目的で、 $(V_R - V_{SS})$ が実質的に $(V_P - V_{SS}) / 2$ に等しくなるように電源 V_R によって供給される電圧を用いることが有効である。

【0030】図3に示した実施例において、インピーダンス素子120、125及び130が通信線115の特性インピーダンスと実質的に等しいインピーダンスを有しており、かつ、電圧 $(V_R - V_{SS})$ が実質的に $(V_P -$

$V_{SS}) / 2$ に等しい場合には、ポート100あるいは150によって通信線115上に生成される通信信号は、 $0.75 (V_P - V_{SS})$ あるいは $0.25 (V_P - V_{SS})$ の大きさを有する。よって、ポート100あるいは150がHSTL標準に従う場合には、電源電圧 $V_P - V_{SS} = 1.5V$ を用いると、第一及び第二信号レベルとしてそれぞれ1.125V及び0.375Vが生成される。これらは、図1及び図2に示した従来技術に係るHSTL配置において用いられているものに対応する。

10 【0031】実際の動作においては、ポート100あるいは150は、各々、インピーダンス素子120を活性化しつつインピーダンス素子125及び130を不活性化することによって、他方のポートからの通信信号を受信する入力配置を取るよう設定され得る。さらに、ポート100あるいは150は、インピーダンス素子125を活性化しつつインピーダンス素子120及び130を不活性化することによって、第一信号レベルにおいて通信信号を送信するよう設定され得る。同様に、ポート100あるいは150は、インピーダンス素子130を活性化しつつインピーダンス素子120及び125を不活性化することによって、第二信号レベルにおいて通信信号を送信するよう設定され得る。

30 【0032】よって、ポート100が通信信号をポート150へ送信するためには、ポート150は入力配置を取るよう設定され、ポート100は対応する通信信号を送信するために第一信号レベル送信配置あるいは第二信号レベル送信配置に設定されることが必要である。同様に、ポート100が入力配置を取るよう設定され、ポート150が対応する通信信号をポート100宛に送信するために第一信号レベル送信配置あるいは第二信号レベル送信配置に設定されることも可能である。図3に示した入出力ポート配置は、 $P = V^2 / R = (V_R - V_{SS})^2 / 2 Z_0$ という電力を消費する。よって、 $V_R - V_{SS} = 0.75V$ という電圧を供給する電源を有し、 50Ω の特性インピーダンスの通信線を有するHSTLシステムにおいては、消費電力は5.6mWとなる。この消費電力は、図2に示した従来技術に係る双方向配置の半分であり、図1に示した単一方向配置と実質的に等しい。

40 【0033】チップ101及び151は、通信信号の送を開始しようとしているため相手方が入力配置を実現するよう、互いに相手方に対して通知することが可能である。あるいは、コントローラ、プロセッサあるいはラインアービタが、チップ101及び151とは別に、それぞれのチップが通信線115を介した通信信号を送信するあるいは受信するのを制御することも可能である。さらに、ポート100及び150は、本明細書においては特定のインピーダンス値及び電圧差 $V_P - V_{SS}$ 等の電源電圧値に関連して記述されているが、種々の相異なっ

50 たインピーダンス素子及び電源電圧値を本発明に従って

所定の送信信号レベルあるいは終端インピーダンス値を実現する目的で用いることが可能である。

【0034】図3に示した配置と実質的に同一の機能を実現し、さらに電源の数を減らした本発明に係る入出力ポート配置の別の実施例が図4に示してある。詳細に述べれば、図4に示した実施例は、図3に示した実施例において用いられていた3つの電源 V_P 、 V_R 及び V_{SS} の代わりに2つの電源 V_P 及び V_{SS} に基づいて動作することが可能である。図3及び図4においては、同様のコンポーネントは説明を明瞭にする目的で同一の番号が付されている。例えば、入力バッファ105、インターフェース103及び通信線115である。図4においては、それぞれの集積回路チップ201及び251の入出力配置200及び250は、インターフェース103によって特性インピーダンス Z_0 を有する通信線115に接続されている。制御可能インピーダンス配置210は、インターフェース103と入力バッファ105とをそれぞれのポート200及び250において接続している。

【0035】制御可能インピーダンス配置210は、それぞれ2群のスイッチ可能インピーダンス素子120及び125、及び130及び135を有している。素子120及び125は、インターフェース103と集積回路チップ201の第一電源 V_P との間に並列に接続されている。同様に、素子130及び135は、インターフェース103と集積回路チップ201の第二電源 V_{SS} との間に並列に接続されている。電源 V_P から供給される電圧は、チップ201によって送信される信号の所定の第一信号レベルに対応している。同様に、電源 V_{SS} から供給される電圧は、チップ201によって送信されるデータ信号の所定の第二信号レベルに対応している。第二電源 V_{SS} が集積回路チップ201のチップ内接地電位であることも可能である。

【0036】スイッチ可能インピーダンス素子120、125、130及び135はインピーダンス素子140及びスイッチ145によって模式的に示されており、それぞれ対応する電源 V_P 及び V_{SS} とインターフェース103との間でインピーダンスあるいは実質的な開回路を実現することによって、図3に示した素子120、125及び130と実質的に同様の方式で機能する。スイッチ可能インピーダンス素子120、125、130及び135に利用可能な素子には、図3のインピーダンス素子120、125及び130に関連して前述されているものが含まれる。図4の配置に従ったHSTL通信に関しては、インピーダンス素子140の各々は、通信線115の特性インピーダンス Z_0 の二倍に等しい $2Z_0$ のインピーダンスを有している。

【0037】制御信号B1、B2、B3、及びB4は、集積回路201のスイッチ可能インピーダンス素子120、125、130及び135の活性化を制御する。同様に、制御信号B5、B6、B7、及びB8は、集積回

路251のスイッチ可能インピーダンス素子120、125、130及び135の活性化を制御する。

【0038】実際の動作においては、送信された信号の受信を実現する目的で、ポート200あるいは250は入力配置を取るよう指定される。この際には、インピーダンス素子120及び130が活性化され、インピーダンス素子125及び135が不活性化される。あるいは、インピーダンス素子125及び135が活性化されてインピーダンス素子120及び130が不活性化されることによって、入力配置が構成される。さらに、ポート200あるいは250が、インピーダンス素子120及び125を活性化してインピーダンス素子130及び135を不活性化することによって第一送信レベル配置を取るよう構成され、第一信号レベルにおいて通信信号が送信される。同様に、ポート200あるいは250が、インピーダンス素子130及び135を活性化してインピーダンス素子120及び125を不活性化することによって第二送信レベル配置を取るよう構成され、第二信号レベルにおいて通信信号が送信される。第一及び第二信号レベルは、図4に示したポート200及び250の配置例に基づいており、それぞれ高及び低信号レベルすなわち論理レベルに対応している。

【0039】より詳細に述べれば、ポート200からポート250宛に第一信号レベルを有する通信信号を送出する際には、ポート250は入力配置を取るよう構成され、ポート200は第一送信レベル配置を取るよう構成される。その結果、ポート250における通信線250上の通信信号は0.75V_Pの振幅を有することになる。同様に、ポート200が第二送信レベル配置を取る場合には、0.25V_Pの通信信号がポート250に現れる。同様に、通信信号がポート250からポート200宛に送信される場合には、ポート200は入力配置を取るよう構成され、ポート250はいずれかの送信配置を取るよう構成される。その結果、ポート200における通信線115上の通信信号は、ポート250が第一あるいは第二送信レベル配置を取るよう構成された場合には、それぞれ0.75V_Pあるいは0.25V_Pの振幅を有することになる。

【0040】よって、ポート200及び250がHSTL標準に従う場合には、電源電圧 $V_P - V_{SS} = 1.5V$ が用いられ第一及び第二信号レベルはそれぞれ1.125V及び0.375Vとなる。これらは、図1及び図2に示した従来技術に係るHSTL配置、及び図3に示した本発明の実施例において用いられているものに対応する。さらに、図4の実施例においては、図3に示した実施例において3つの電源が用いられているのに対して、2つの電源に基づいて同様の機能を実現している。しかしながら、2つの電源しか用いない配置においては、図3に示してある3つの電源を用いる配置と比較して、より多くの電力を消費する。より詳細に述べれば、

集積回路201あるいは251において消費される電力は、伝送線115の特性インピーダンス Z_0 が50Ωである場合に、終端インピーダンスを実現している分圧器に関して $P = V^2 / R = (V_P - V_{SS})^2 / 2Z_0 + (V_P - V_{SS})^2 / Z_0 = (5.6 + 11.2) \text{ mW} = 16.8 \text{ mW}$ である。

【0041】図4に示した実施例においては2つの電源しか用いられていないが図3の実施例よりも多くの電力を消費するため、図4の実施例は第三の電源を用いることが望ましくなく、必要とされる適応入出力ポートの数

が比較的少ない場合、例えば10個未満の場合に集積回路チップ配置において利用される。付言すれば、図3に示した実施例は、より多くの個数の適応入出力ポートを必要とする集積回路チップにおいて用いられることが有利である。

【0042】本発明に係る制御可能インピーダンス配置

のさらに別の実施例300が図5に示してある。配置300は、HSTLクラスIIIあるいはGTL標準のいずれかに従ったフォーマットで通信信号を低消費電力で送受信することが可能である。これらの標準は、前掲のEIA/JEDEC標準8-6及び“Gunning Transceiver Logic (GTL) -Low-Level, High-Speed Interface Standard for Digital Integrated Circuits”, Electronics Industries Association, EIA/JEDEC標準

制御信号表

信号レベル	I/O	DATA	TYPE
高(1)	入力	高信号レベルで送出	HSTLクラスIIIフォーマットで送出
低(0)	出力	低信号レベルで送出	GTLフォーマットで送出

【0044】配置300において、制御信号I/Oは、インバータ305と第一及び第二伝達ゲート310及び315の第一制御入力とに供給される。第一及び第二伝達ゲート310及び315に関しては、以下で詳細に記述される。インバータ305は、さらに、伝達ゲート310及び315の第二制御入力に接続されている。制御信号DATA及びTYPEは、それぞれ伝達ゲート310及び315の信号入力へ供給される。伝達ゲート310及び315の信号出力はNANDゲート320の入力及び対応するトランジスタ325及び330へ接続されている。トランジスタ325及び330は、さらに、イ

ンバータ305及び電源 V_{DD} に接続されている。電源 V_{DD} は3.0Vから5.0Vのオーダーの電圧を供給する電源である。

8-3(1993年11月)により詳細に記述されている。後者は本明細書の参照文献である。図5においては、配置300のインターフェース301に接続されている入力バッファは、図を簡潔にする目的で描かれてはいない。しかしながら、本発明に従った集積回路配置には、通常この種の入力デバイスが含まれるということは容易に理解されるべきである。インターフェース301は、図3及び図4のインターフェース103に対応している。さらに、インターフェース301は、図3及び図4の通信線115のような通信線に接続されているが、図を簡潔にする目的で描かれてはいない。

【0043】配置300は、3つの制御信号I/O、DATA、及びTYPEによって制御される。制御信号I/Oは、配置300が入力あるいは出力配置のいずれかで動作させる。出力配置で動作する場合、制御信号DATAは、配置300が第一あるいは第二信号レベルのいずれで通信信号を送出するかを制御する。さらに、出力配置で動作する場合には、制御信号TYPEは、送出される通信信号がHSTLクラスIIIフォーマットかGTLフォーマットのいずれであるかを制御する。以下の表は、制御信号の特定の信号レベルに基づいて実行される特定の動作を識別する：

【表1】

ンバータ305及び電源 V_{DD} に接続されている。電源 V_{DD} は3.0Vから5.0Vのオーダーの電圧を供給する電源である。

【0045】NANDゲート320の出力はインバータ335に接続されており、インバータ335はトランジスタ340のゲートに接続されている。インバータ305は、さらに別のインバータ345に接続されており、インバータ345はさらにNORゲート350の一方の入力に接続されている。制御信号DATAは、この制御信号のNORゲート350の第二入力への伝達を遅延させるインバータ対355へも供給される。NORゲート

350の出力はトランジスタ360のゲートに接続されている。トランジスタ340のソース及びドレインは、それぞれ、例えば図5に示した配置においてはおよそ1.5Vの電圧を有する電源 V_{DDQ} 及びインターフェース301に接続されている。トランジスタ360のソース及びドレインは、インターフェース301と対応するチップの接地電位である電源 V_{SS} との間に接続されている。

【0046】伝達ゲート310及び315は、それぞれの制御入力における信号に基づいて、DC信号を信号入力からその信号出力へ伝達するか、あるいは信号入力と信号出力との間を開にする。伝達ゲートは、例えば、N-MOSトランジスタ及びP-MOSトランジスタのソース及びドレインをそれぞれ接続し、それぞれのゲートを制御信号入力として利用することによって実現される。接続されたトランジスタのソース及びドレインは、信号入出力として用いられる。

【0047】さらに、トランジスタ340は、それがイネーブルされた際にソースとドレインとの間に所定の第一インピーダンス、例えばインピーダンス Z_0 、を有するように、チャネル幅及びチャネル長が決定されている。同様に、トランジスタ340は、それがイネーブルされた際にソースとドレインとの間に所定の第二インピーダンス、例えばインピーダンス $Z_0/3$ 、を有するように、チャネル幅及びチャネル長が決定されている。インピーダンス Z_0 は、図3及び図4に示した通信線115等の通信線の特性インピーダンスに対応している。

【0048】実際の動作においては、配置300を入力配置にするために制御信号I/Oが高信号レベルにある場合には、インバータ305の出力は低信号レベルになり、伝達ゲート310及び315を不活性化する。この不活性化により、制御信号DATA及びTYPEがNANDゲート320へ達しなくなる。インバータ305の低信号レベル出力のためにインバータ345の出力が高信号レベルとなり、NORゲート350がトランジスタ360を不活性化する。トランジスタ360が不活性化されることにより、電源 V_{SS} とインターフェース301との間が実質的に開回路になる。インバータ305の低信号レベル出力は、さらに、NANDゲート320の出力を低信号レベルにし、その結果インバータ335が高信号レベル出力を生成してトランジスタ340が活性化される。活性化されたトランジスタ340は電源 V_{DDQ} とインターフェース301との間にインピーダンス Z_0 を実現する。その結果、入力配置における配置300の等価回路は、インターフェース301と電源 V_{DDQ} との間の終端インピーダンス Z_0 とによって表現される。

【0049】配置300を送信配置で動作させる目的で制御信号I/Oが低信号レベルにある場合には、インバータ305の出力は高信号レベルになり、伝達ゲート310及び315が活性化される。インバータ305の高

信号レベル出力は、さらに、NORゲート350が制御信号DATAの低信号レベルあるいは高信号レベルに基づいて、トランジスタ360をそれぞれ活性化あるいは不活性化させる。伝達ゲート310及び315が活性化させるため、制御信号TYPEが低信号レベルにある場合にはトランジスタ340が不活性化され、図6に示したGTLドライバ400の等価回路表現と同等の回路が実現される。さらに、制御信号TYPEが高信号レベルにある場合には、配置300はHSTLクラスIIIドライバとして機能し、トランジスタ340は、データ信号DATAが高信号レベルあるいは低信号レベルにあるかに依存して、それぞれ活性化されたり不活性化されたりする。HSTLクラスIIIドライバとして配置された場合の配置300の等価回路表現は、図7に示してある。

【0050】図6においては、GTLドライバ等価表現400は、制御信号DATAが低信号レベルにある場合には V_{SS} と通信線との間に Z_0 のインピーダンスを実現し、制御信号DATAが高信号レベルにある場合には、前述の二点間を開回路にする。制御信号I/O及びTYPEの双方が低信号レベルにある場合に、図5に示した配置300によってGTLドライバ配置が実現される。

【0051】図5において、制御信号I/O及びTYPEがそれぞれ低信号レベル及び高信号レベルにある場合には、配置300が図7に示したHSTLクラスIIIドライバとして機能する。図7において、等価回路表現500は、図5の電源 V_{DDQ} とインターフェース301との間に直列に接続されたインピーダンス Z_0 及び第一スイッチ510を有している。表現500は、さらに、インターフェース301と電源 V_{SS} との間に直列に接続されたインピーダンス素子 $Z_0/3$ 及び第二スイッチ520を有している。制御信号DATAは、その値がそれぞれ高信号レベルあるいは低信号レベルである場合に、第一スイッチ510を開あるいは閉にする。逆に、制御信号DATAは、その値がそれぞれ低信号レベルあるいは高信号レベルである場合に、第二スイッチ520を開あるいは閉にする。

【0052】従って、等価回路表現500は、スイッチ510を開にしてインピーダンス Z_0 をディセーブルしつつスイッチ520を閉にして通信線をインピーダンス $Z_0/3$ 及び電源 V_{SS} に接続することにより、インターフェース301及び対応する通信線に低信号レベルで信号を送出する。同様に、等価回路表現500は、スイッチ510を閉にしてインピーダンス Z_0 を電源 V_{DDQ} と通信線との間に接続しつつスイッチ520を開にしてインピーダンス $Z_0/3$ をディセーブルすることにより、通信線に高信号レベルで信号を送出する。図6及び図7において等価回路400及び500として表現された図5の配置300の消費電力は、GTLあるいはHSTLクラスIII信号のいずれを送信するように配置された場

合においても、50%のデューティサイクル約17mWのオーダーである。この消費電力は、前述のフォーマットで信号を送出する従来技術に係る双方向入出力ポートにおいて消費される電力の各半分である。

【0053】以上の説明は、本発明の一実施例に関するもので、この技術分野の当業者であれば、本発明の種々の変形例が考え得るが、それらはいずれも本発明の技術的範囲に包含される。例えば、前述されている実施例においては通信信号がHSTL及びGTL標準に従って送出されるが、容易に理解されるように、本発明に従った入出力ポートは、例えば相補型金属酸化物半導体(CMOS)、エミッタカップルドロジック(ECL)、トランジスタートランジスタロジック(TTL)、定電圧差分振幅(LVDS)、及び擬エミッタカップルドロジック(PECL)等の他の標準に従う信号を送受信するために利用され得る。さらに、本発明に係る入出力ポートは、従来技術に係る標準に従わないような方式における信号の送受信のためにも用いられ得る。本発明は、毎秒50Mビットあるいはそれ以上のデータレートでのチップ間通信に関して特に有用であるが、より低いデータレートにおける通信に対しても有用である。

【0054】

【発明の効果】以上述べたごとく、本発明によれば、集積回路の入出力ポートにおいて用いられる制御可能なインピーダンス配置が提供される。

【図面の簡単な説明】

【図1】 従来技術に係る単方向通信向け集積回路チップ配置を示す模式的なブロック図。

【図2】 従来技術に係る双方向通信向け集積回路チップ配置を示す模式的なブロック図。

【図3】 本発明に従った双方向通信向け集積回路チップ配置の実施例を示す模式的なブロック図。

【図4】 図3に示した集積回路チップ配置の別の実施例を示す模式的なブロック図。

【図5】 図3及び図4において用いられる本発明に係る制御可能インピーダンス配置の実施例を示す模式的なブロック図。

【図6】 図5に示した配置の動作時の等価回路を示す模式的なブロック図。

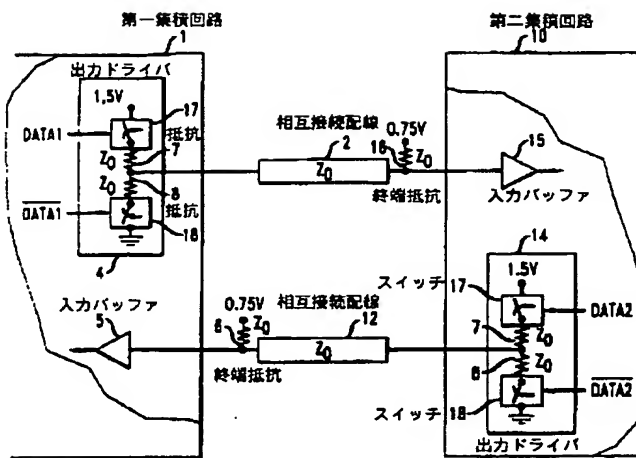
【図7】 図5に示した配置の動作時の等価回路を示す模式的なブロック図。

【符号の説明】

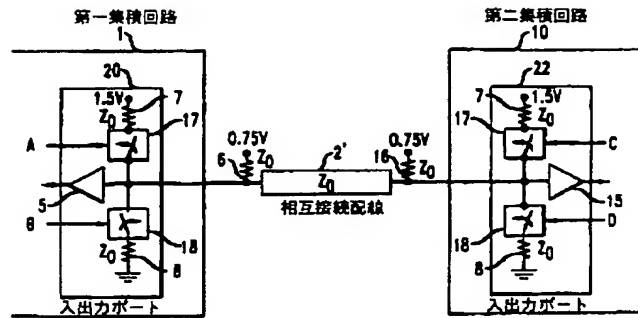
- 1 第一集積回路
- 2 相互接続配線

- 2' 相互接続配線
- 4 出力ドライバ
- 5 入力バッファ
- 6 終端抵抗
- 7、8 抵抗
- 10 第二集積回路
- 12 相互接続配線
- 14 出力ドライバ
- 15 入力バッファ
- 10 16 終端抵抗
- 17、18 スイッチ
- 20、22 入出力ポート
- 100 適応入出力ポート
- 101 第一集積回路
- 103 インターフェース
- 105 入力バッファ
- 110 インピーダンス配置
- 115 通信線
- 120、125、130、135 スイッチ可能インピーダンス素子
- 20 140 インピーダンス素子
- 145 スイッチ
- 150 適応入出力ポート
- 151 第二集積回路
- 200 適応入出力ポート
- 201 第一集積回路
- 210 インピーダンス配置
- 250 適応入出力ポート
- 251 第二集積回路
- 30 300 制御可能インピーダンス配置
- 301 インターフェース
- 305 インバータ
- 310、315 伝達ゲート
- 320 NANDゲート
- 325、330 トランジスタ
- 335 インバータ
- 340 トランジスタ
- 345 インバータ
- 350 NORゲート
- 40 355 インバータ
- 360 トランジスタ
- 400 等価回路
- 500 等価回路

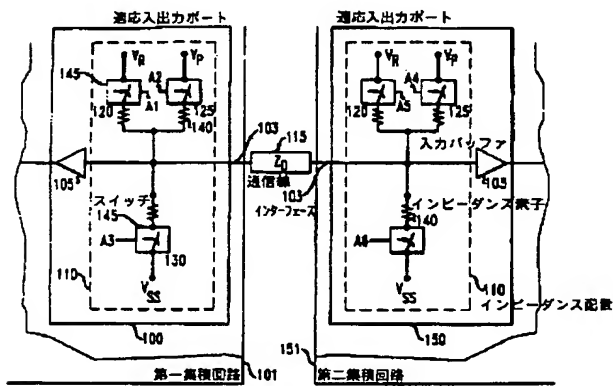
【図 1】



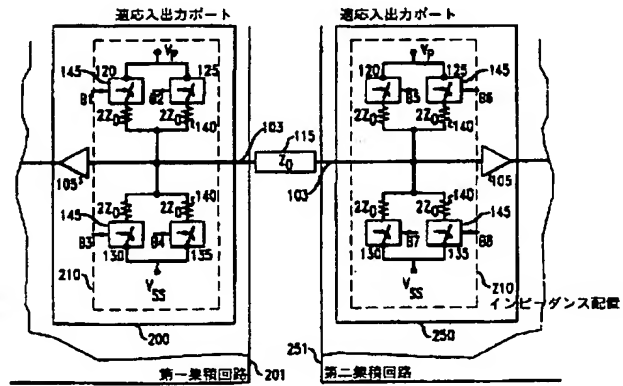
【図 2】



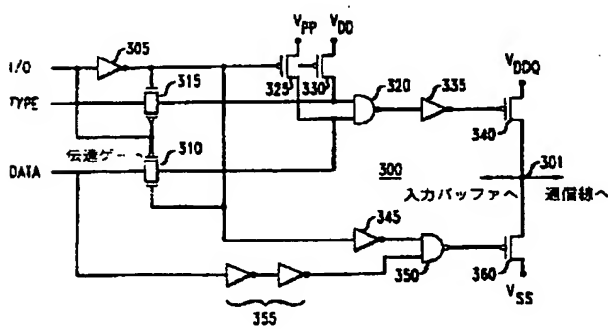
【図 3】



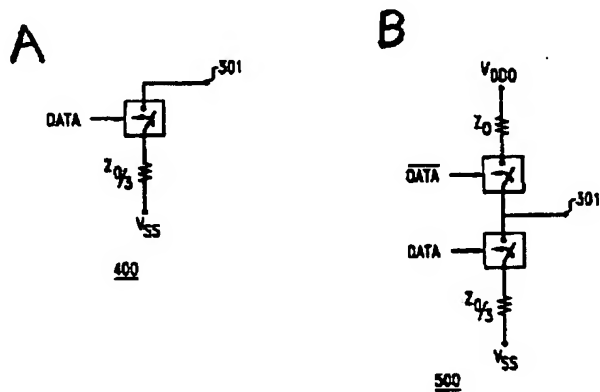
【図 4】



【図 5】



【図 6】



フロントページの続き

(71)出願人 596077259

600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636U. S. A.